

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-005549

(43)Date of publication of application : 11.01.1986

(51)Int.Cl.

H01L 21/88

H01L 21/92

(21)Application number : 59-125239

(71)Applicant : HITACHI MICRO COMPUT ENG LTD  
HITACHI LTD

(22)Date of filing : 20.06.1984

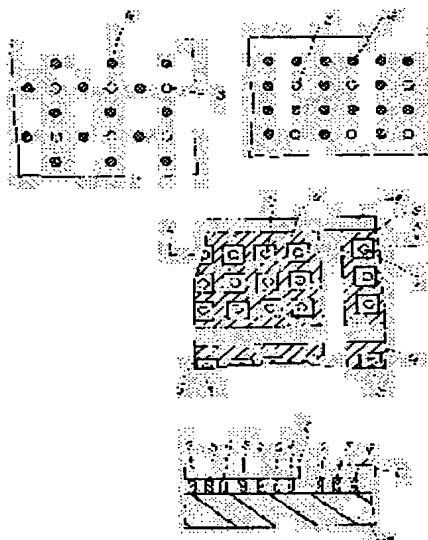
(72)Inventor : UTSUNO AKIHIKO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To attenuate any crosstalk between close signal lines by means of shielding respective signal lines from one another by a method wherein grounding bumps are arranged between or around signal bumps of semiconductor chips.

CONSTITUTION: Any crosstalk noise between close signal lines may be attenuated even in case of ultra high speed input and output operations because any noise eternally coming into the signal lines may be shielded by the shielding effect of grounding bumps G encircling the signal bumps S. Besides, the shielding effect from the signal bumps S may be more increased by means of arranging the grounding bumps G all around the signal bumps S. Moreover, the shielding effect from the signal bumps S may be further improved by means of forming the grounding bumps G of an integrated conductor to encircle the signal bumps S.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-5549

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)1月11日

H 01 L 21/88  
21/926708-5F  
7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-125239

⑰ 出 願 昭59(1984)6月20日

⑱ 発 明 者 宇 都 野 彰 彦 小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社  
小平市上水本町1479番地

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

発明の名称 半導体装置

特許請求の範囲

1. フリップチップ型半導体装置において、半導体チップの信号電圧印加用突起電極間に接地電圧印加用突起電極を配置したことを特徴とする半導体装置。

2. 前記信号電圧印加用突起電極の周囲に接地電圧印加用突起電極を配置したことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記信号電圧印加用突起電極の周囲に接地導体を配置したことを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

(技術分野)

本発明は、半導体装置に係り、特に、全面バンパ(突起電極)あるいは高密度なフリップチップ方式のボンディング技術を採用した大規模集積回路(以下、単に、LSIという)等の半導体装置に適用して有効な技術に関するものである。

(背景技術)

フリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置では、バンパ(突起電極)は、半導体チップの周囲に配置されているが、例えば、第1図に示されるように、たがいに隣り合うバンパは信号電圧印加用バンパ(以下、単に信号用バンパという)Sとして使用されており、その一部が接地電圧印加用バンパ(以下、単に接地用バンパという)Gとして使用されている。

しかしながら、このような半導体チップでは、特に、高速度な入出力を行う場合、たがいに隣り合う信号用バンパ間でのクロストークが発生し、LSI等の半導体装置の機能に誤動作を起す原因となるおそれがあることが、発明者の検討の結果、明らかとなった。

(発明の目的)

本発明の目的は、フリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置において、半導体チップの信号線をシールドす

特開昭61-5549(2)

ることにより、信号線間のクロストークノイズを低減する技術手段を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

すなわち、フリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置において、半導体チップの信号用パンプの周又は周囲に接地用パンプを配置することにより、各信号線をシールドして信号線間のクロストークノイズを低減するようにしたものである。

以下、本発明の構成について、実施例とともに説明する。

なお、全図において、同一の機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

#### 〔実施例Ⅰ〕

号用パンプSと接地用パンプGの配置を変えたものであり、第3図に示すように、信号用パンプSの周囲に接地用パンプGを配置したものである。

このように構成することにより、前記実施例Ⅰのものよりも、一層信号用パンプSに対するシールド効果を持たせることができる。

#### 〔実施例Ⅱ〕

第4図及び第5図は、本発明をフリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置に適用した実施例Ⅱの構成を説明するための図であり、第4図は、平面図、第5図は、第4図のA-A切断線における断面図である。なお、第4図においては半導体チップCは省略してある。

本実施例Ⅱの半導体装置は、第4図及び第5図に示すように、前記実施例Ⅱの接地用パンプGを一体化した導体で形成し、これにより信号用パンプSの周囲を包囲するように構成したものである。図Bは配線が施されたシリコンからなるマザーチップ基板Cは半導体チップである。

第2図は、本発明をフリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置に適用した実施例Ⅰの構成を説明するための図であり、その要部の平面図である。

本実施例Ⅰの半導体装置は、第2図に示すように、半導体チップLSIの隣り合う信号用パンプSの間に接地用パンプGを配置したものである。

このように信号用パンプSを接地用パンプGで包囲することにより、この接地用パンプGのシールド効果によって外部から信号線に入るノイズを遮断するので、超高速な入出力を行う場合においても、近接した信号線間のクロストークノイズを低減することができる。

#### 〔実施例Ⅱ〕

第3図は、本発明をフリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置に適用した実施例Ⅱの構成を説明するための図であり、その半導体チップの要部の平面図である。

本実施例Ⅱの半導体装置は、前記実施例Ⅰの構

このように構成することにより、さらに、信号用パンプSに対するシールド効果を向上させることができる。

#### 〔効果〕

以上説明したように、本願で開示した新規な技術手段によれば、次のような効果を得ることができる。

(1) 半導体装置の隣り合う信号用パンプSの間に、接地用パンプGを配置することにより、接地用パンプGのシールド効果によって外部から信号線に入るノイズを遮断するので、超高速な入出力を行う場合においても、近接した信号線間のクロストークノイズを低減することができる。

(2) 半導体装置の信号用パンプSの周囲に接地用パンプGを配置することにより、一層信号用パンプSに対するシールド効果を持たせることができる。

(3) 前記(2)の半導体装置の接地用パンプGを一体化した導体で形成し、これにより信号用パンプSの周囲を包囲するように構成することによ

特開昭61-5549(3)

り、さらに、信号用パンプSに対するシールド効果を向上させることができる。

(4) 前記(1)乃至(3)のそれぞれの技術手段により、超高速な入出力を行う場合においても、半導体装置の近接する信号線間のクロストークノイズを低減させることができるので、半導体装置の信頼度を向上させることができる。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

例えば、前記接地用パンプの配置及び形状は、シールド効果を有するものであればどのようなものであってもよい。

図面の簡単な説明

第1図は、フリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置の信号用パンプに対する問題点を説明するための図であり、半導体装置の要部の平面図。

第2図は、本発明をフリップチップ方式のボン

ディング技術を採用したLSIチップ等の半導体装置に適用した実施例Iの構成を説明するための図であり、その半導体チップの要部の平面図。

第3図は、本発明をフリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置に適用した実施例IIの構成を説明するための図であり、その半導体チップの要部の平面図。

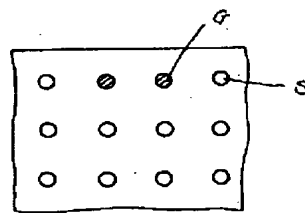
第4図及び第5図は、本発明をフリップチップ方式のボンディング技術を採用したLSIチップ等の半導体装置に適用した実施例IIIの構成を説明するための図であり、第4図は、その半導体チップの要部の平面図、第5図は、第4図のA-A切断線における断面図である。

図中、LSI、C…半導体チップ、S…信号用パンプ、G…接地用パンプ、MB…マザーチップ基板である。

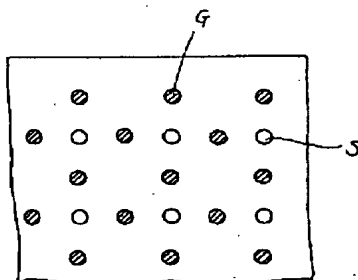
代理人 弁護士 高橋明夫



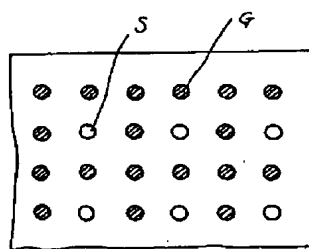
第 1 図



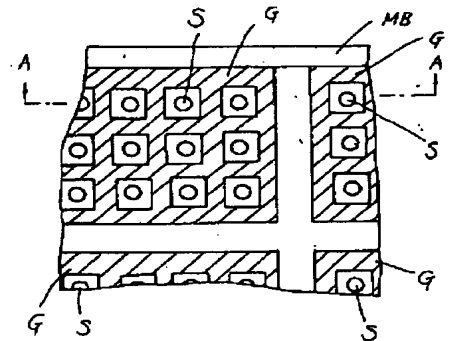
第 2 図



第 3 図



第 4 図



第 5 図

